



日本国特許庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 9月28日

出願番号

Application Number:

特願2001-300562

出 願 人
Applicant(s):

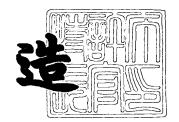
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年11月26日

特許庁長官 Commissioner, Japan Patent Office





【書類名】

特許願

【整理番号】

0140904

【提出日】

平成13年 9月28日

【あて先】

特許庁長官殿

【国際特許分類】

H01L 21/3065

【発明の名称】

シリコン含有絶縁膜を有する半導体装置の製造方法

【請求項の数】

10

【発明者】

【住所又は居所】

愛知県春日井市高蔵寺町二丁目1884番2 富士通ヴ

ィエルエスアイ株式会社内

【氏名】

駒田 大輔

【特許出願人】

【識別番号】

000005223

【氏名又は名称】

富士通株式会社

【特許出願人】

【識別番号】

000237617

【氏名又は名称】

富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】

100091340

【弁理士】

【氏名又は名称】

高橋 敬四郎

【電話番号】

03-3832-8095

【選任した代理人】

【識別番号】

100105887

【弁理士】

【氏名又は名称】

来山 幹雄

【電話番号】

03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【包括委任状番号】

9705794

【包括委任状番号】 0109607

【包括委任状番号】 9708188

【包括委任状番号】 0109608

【プルーフの要否】

要

【書類名】

明細書

【発明の名称】

シリコン含有絶縁膜を有する半導体装置の製造方法

【特許請求の範囲】

【請求項1】 シリコンを含有する絶縁材料からなる絶縁膜の表面を、マスクパターンで覆う工程と、

前記マスクパターンをマスクとし、 C_4F_8 ガスと C_xF_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)ガスとを含むエッチングガスを用いて、前記絶縁膜をドライエッチングする工程と

を有する半導体装置の製造方法。

【請求項2】 前記 C_4F_8 ガスが、環状飽和フロロカーボンガスである請求項1に記載の半導体装置の製造方法。

【請求項3】 前記 C_xF_y ガスが C_5F_8 ガスであり、前記 C_4F_8 ガスの分圧 E_1 、前記 E_5F_8 ガスの分圧を E_2 としたとき、 E_2 (E_1 + E_2) E_3 0.5 を満たす条件で前記ドライエッチングを行う請求項1または2に記載の半導体 装置の製造方法。

【請求項4】 前記絶縁膜が、酸化シリコン、フォスフォシリケートガラス、ボロシリケートガラス、ボロフォスフォシリケートガラス、フロロシリケートガラス、水素シルセスキオキサン、テトラエチルオルソシリケート、炭素含有酸化シリコン、スピンオンガラスからなる群より選択された少なくとも一つの絶縁材料で形成されている請求項1乃至3のいずれかに記載の半導体装置の製造方法

【請求項5】 前記エッチングガスが、さらにアルゴン、酸素、一酸化炭素からなる群より選択された少なくとも一つのガスを含む請求項1乃至4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記絶縁膜を形成する工程の前に、さらに、前記半導体基板の表面上に、前記エッチングガスでドライエッチングしたときのエッチング速度が、同一条件でエッチングしたときの前記絶縁膜のエッチング速度よりも小さな材料で形成されたエッチングストッパ膜を形成する工程を含み、前記絶縁膜を前記エッチングストッパ膜の上に形成する請求項1乃至5のいずれかに記載の半導

体装置の製造方法。

【請求項7】 表面に金属配線の上面が露出した半導体基板を準備する工程と、

前記半導体基板の表面上に、第1の絶縁材料からなるエッチングストッパ膜を 形成する工程と、

前記エッチングストッパ膜の上に、該エッチングストッパ膜とはエッチング耐性が異なり、Siを含有する第2の絶縁材料で形成された絶縁膜を堆積する工程と、

前記絶縁膜の表面を、前記金属配線と重なる位置に開口を有するレジストパターンで覆う工程と、

前記レジストパターンをマスクとし、エッチングガスとして、 C_4F_8 及び C_x F_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)を含むエッチングガスを用い、前記絶縁膜をドライエッチングして凹部を形成し、該凹部の底に前記エッチングストッパ膜を露出させる工程と、

前記金属配線が前記エッチングストッパ膜で覆われた状態で、前記レジストパターンを除去する工程と、

前記ドライエッチング工程で露出した前記エッチングストッパ膜を除去し、前記金属配線の一部を露出させる工程と、

前記ドライエッチング工程でエッチングされた凹部内に、導電材料を埋め込み 、前記金属配線に接続された導電部材を形成する工程と

を有し、前記エッチングガスでエッチングしたときの、前記第1の絶縁材料のエッチング速度が、前記第2の絶縁材料のエッチング速度よりも遅い半導体装置の 製造方法。

【請求項8】 前記 C_4F_8 ガスが、環状飽和フロロカーボンガスである請求項7に記載の半導体装置の製造方法。

【請求項9】 前記 C_xF_y ガスが C_5F_8 ガスであり、前記 C_4F_8 ガスの分圧 を P_1 、前記 C_5F_8 ガスの分圧を P_2 としたとき、0く P_2 / $(P_1+P_2) \le 0$. 5 を満たす条件で前記ドライエッチングを行う請求項 7 または 8 に記載の半導体 装置の製造方法。

【請求項10】 前記絶縁膜が、酸化シリコン、フォスフォシリケートガラス、ボロシリケートガラス、ボロフォスフォシリケートガラス、フロロシリケートガラス、水素シルセスキオキサン、テトラエチルオルソシリケート、炭素含有酸化シリコン、スピンオンガラスからなる群より選択された少なくとも一つの絶縁材料で形成されている請求項7万至10のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特にシリコン含有する絶縁膜を、その下地の膜をエッチングストッパ膜としてドライエッチングする工程を有する半 導体装置の製造方法に関する。

[0002]

【従来の技術】

層間絶縁膜に覆われたMOSFETのソース及びドレイン領域に、層間絶縁膜上の配線を接触させるために、層間絶縁膜を貫通するコンタクトホールが形成される。通常、層間絶縁膜の膜厚には、ばらつきがある。また、ソース及びドレイン領域用のコンタクトホールと、ゲート電極上のコンタクトホールとを同時に形成する場合もある。一般に、ソース及びドレイン領域上の層間絶縁膜は、ゲート電極上の層間絶縁膜よりも厚い。

[0003]

層間絶縁膜の厚い部分においてもコンタクトホールを再現性よく貫通させるために、一般にオーバエッチングが行われる。オーバエッチングによるソース領域やドレイン領域のダメージを防止するために、層間絶縁膜よりもエッチング速度の遅い材料からなるエッチングストッパ膜が、層間絶縁膜の下地表面上に配置される。層間絶縁膜が酸化シリコン(SiO₂)で形成される場合、エッチングストッパ膜は、例えば窒化シリコン(SiN)で形成される。

[0004]

半導体集積回路装置のパターンの微細化に伴って、コンタクトホールを自己整

合的に形成する方法(Self-Aligned contact: SAC)が採用されている。SAC方式では、ゲート電極の側面及び上面をエッチングストッパ膜で覆い、その上に層間絶縁膜が形成される。ソース及びドレイン領域の表面を露出させるコンタクトホールを形成する際に、エッチングストッパ膜がゲート電極を保護しているため、ゲート電極の露出を防止することができる。

[0005]

A1配線を用いて多層配線層を形成する場合、A1配線上に、酸化防止用のTiN膜や反射防止用のSiON膜が形成される。層間絶縁膜にビアホールを形成する際に、このTiN膜やSiON膜が、エッチングストッパ膜として作用する

[0006]

これらエッチングストッパ膜でエッチングを再現性よく停止させるために、層間絶縁膜とエッチングストッパ膜とのエッチング速度比(選択比)を高くする必要がある。従来、 C_4F_8 ガスに、一酸化炭素(CO)を添加することによって、高い選択比を実現していた。

[0007]

近年、配線抵抗を低くして半導体集積回路装置の性能向上を図るために、Cu 配線をダマシン法で形成する技術が採用され始めている。シングルダマシン法で は、下層Cu配線の上にビア層絶縁膜を形成し、このビア層絶縁膜にビアホール が形成される。ビアホール形成後、エッチングマスクとして用いられたレジスト パターンが酸素プラズマを用いてアッシング除去される。

[0008]

レジストパターンのアッシング時に、下地のCu配線が露出していると、Cu 配線が酸化されてしまうため、通常、Cu配線の上面が、窒化シリコン等からな る酸化防止膜で保護される。ビアホールの底面に酸化防止膜を残した状態で、レ ジストパターンがアッシングされる。すなわち、この酸化防止膜は、ビアホール 形成時のエッチングストッパ膜としても作用する。レジストパターンを除去した 後、ビアホールの底面に残っている酸化防止膜をエッチングしてCu配線を露出 させる。

[0009]

エッチング装置の不安定性、層間絶縁膜の膜厚のばらつき、基板面内における エッチング速度のばらつき等があるため、ビアホール形成時に、オーバエッチン グが行われる。また、マイクロローディング効果により、アスペクト比の高いビ アホールのエッチング速度が遅くなる。

[0010]

通常、チップの外周に、金属からなる耐湿性リングが配置される。ビアホールを形成すると同時に、チップ外周に、耐湿性リングを配置するための溝パターンが形成される。この溝パターンは、ビアホールに比べてアスペクト比が低いため、溝パターンのエッチング速度が、ビアホールのエッチング速度よりも速くなる。このため、溝パターンのオーバエッチング量が大きくなる。

[0011]

また、ダマシン法で形成する配線用の溝パターンの大きさも様々であり、それらのアスペクト比は一定ではない。比較的アスペクト比の低い溝パターンは、大きなオーバエッチングを受ける。

[0012]

大きなオーバエッチングを受けるビアホールや溝パターンの底面に、再現性よく酸化防止膜を残すために、ビア層絶縁膜や配線層絶縁膜と、エッチングストッパ膜との選択比が大きくなるエッチング条件で、ビアホールや溝パターンを形成する必要がある。

[0013]

【発明が解決しようとする課題】

従来のエッチング技術では、十分なエッチング選択比が得られないため、オーバエッチングにより、ビアホールや溝パターンの底面のエッチングストッパ膜が消滅してCu配線が露出しやすい。Cu配線が露出すると、レジストパターンのアッシング時に、Cu配線が酸化されてしまう。

[0014]

本発明の目的は、ドライエッチング工程において、エッチングすべき層と、その下のエッチングストッパ膜との十分な選択比を確保することが可能なエッチン

グ技術を用いて半導体装置を製造する方法を提供することである。

[0015]

【課題を解決するための手段】

本発明の一観点によると、シリコンを含有する絶縁材料からなる絶縁膜の表面を、マスクパターンで覆う工程と、前記マスクパターンをマスクとし、 C_4F_8 ガスと C_xF_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)ガスとを含むエッチングガスを用いて、前記絶縁膜をドライエッチングする工程とを有する半導体装置の製造方法が提供される。

[0016]

 C_4F_8 ガスと C_xF_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)ガスとを含むエッチングガスを用いることにより、絶縁膜の下のエッチングストッパ膜に対する絶縁膜のエッチング選択比を高くすることができる。

[0017]

本発明の他の観点によると、表面に金属配線の上面が露出した半導体基板を準 備する工程と、前記半導体基板の表面上に、第1の絶縁材料からなるエッチング ストッパ膜を形成する工程と、前記エッチングストッパ膜の上に、該エッチング ストッパ膜とはエッチング耐性が異なり、Siを含有する第2の絶縁材料で形成 された絶縁膜を堆積する工程と、前記絶縁膜の表面を、前記金属配線と重なる位 置に開口を有するレジストパターンで覆う工程と、前記レジストパターンをマス クとし、エッチングガスとして、 C_4F_8 及び C_xF_v (x及びyは整数であり、x ≥5、y≤(2x-1)を満たす)を含むエッチングガスを用い、前記絶縁膜を ドライエッチングして凹部を形成し、該凹部の底に前記エッチングストッパ膜を 露出させる工程と、前記金属配線が前記エッチングストッパ膜で覆われた状態で 、前記レジストパターンを除去する工程と、前記ドライエッチング工程で露出し た前記エッチングストッパ膜を除去し、前記金属配線の一部を露出させる工程と 、前記ドライエッチング工程でエッチングされた凹部内に、導電材料を埋め込み 、前記金属配線に接続された導電部材を形成する工程とを有し、前記エッチング ガスでエッチングしたときの、前記第1の絶縁材料のエッチング速度が、前記第 2の絶縁材料のエッチング速度よりも遅い半導体装置の製造方法が提供される。

[0018]

エッチングストッパ膜に対する絶縁膜のエッチング選択比を高くすることができるため、凹部の底面に、エッチングストッパ膜を再現性よく残すことができる。このため、レジストパターンを除去する時に、金属配線の酸化を防止することができる。

[0019]

【発明の実施の形態】

図1〜図3を参照して、本発明の第1の実施例による半導体装置の製造方法に ついて説明する。

[0020]

図1に示すように、シリコン基板1の表層部に、素子分離絶縁領域2を形成し、活性領域を画定する。素子分離絶縁領域2は、シリコン局所酸化(LOCOS)またはシャロートレンチアイソレーション(STI)等により形成される。活性領域上に、MOSFET3を形成する。MOSFET3は、ゲート電極3G、ソース領域3S、及びドレイン領域3Dを含んで構成される。

[0021]

MOSFET3を覆うように、シリコン基板1の上に、酸化シリコン(SiO2)からなる層間絶縁膜5を形成する。層間絶縁膜5は、例えば化学気相成長(CVD)により形成される。層間絶縁膜5を貫通する複数のビアホールを形成し、このビアホール内に、タングステン(W)からなるプラグを埋め込む。プラグ6S及び6Dが、それぞれソース領域3S及びドレイン領域3Dに接続される。なお、ビアホールの内面上には、TiN等からなるバリアメタル層が配置される

[0022]

層間絶縁膜 5 の上に、S i N からなる厚さ 3 0 n mのエッチングストッパ膜 1 0 を形成する。エッチングストッパ膜 1 0 は、例えばプラズマ励起型 C V D により形成することができる。エッチングストッパ膜 1 0 の上に、フロロシリケートガラス(FSG)からなる厚さ 5 0 0 n mの配線層絶縁膜 1 1 を形成する。配線層絶縁膜 1 1 は、例えば原料ガスとして S i H_A 、S i F_A 、 N_2 O、D V N_2 を用

いたプラズマ励起型CVDにより形成することができる。

[0023]

配線層絶縁膜11の上に、レジスト膜12を形成する。フォトリソグラフィ技術を用いて、レジスト膜12に、プラグ6Sの上方を通過する細長い開口12S、及びプラグ6Dの上方を通過する細長い開口12Dを形成する。開口12Sの幅は約0.25 μ mであり、開口12Dの幅は約0.5 μ mである。

[0024]

図2に示すように、レジスト膜12をマスクとして配線層絶縁膜11をエッチングし、開口12S及び12Dに対応した配線溝11S及び11Dを形成する。配線層絶縁膜11のエッチングは、反応性イオンエッチング(RIE)により行われる。本実施例では、東京エレクトロン株式会社製のRIE装置(UNITY 85-IEM)を用いた。詳細なエッチング条件については、後に説明する。

[0025]

マイクロローディング効果のため、広い溝11Dの方が、狭い溝11Sよりも速くエッチングされる。このため、狭い溝11Sの底面にエッチングストッパ膜10が露出した時点でエッチングを停止すると、広い溝11Dの底面のエッチングストッパ膜10の上層部がエッチングされる。配線溝11S及び11Dを形成した後、レジスト膜12をアッシング除去し、その後、溝11S及び11Dの底面に露出しているエッチングストッパ膜10を、CHF₃と〇₂との混合ガスを用いてエッチングする。

[0026]

図3に示す状態に至るまでの工程を説明する。配線溝11S、11Dの内面、及び配線層絶縁膜11の表面上を、Ta等からなるバリアメタル層15で覆う。バリアメタル層15の表面上にCuからなるシード層を形成し、電解めっきにより、配線溝11S及び11D内をCu膜で埋め込む。化学機械研磨(CMP)により、余分なCu膜及びバリアメタル層を除去する。配線層絶縁膜11の上面が露出し、配線溝11S及び11D内に埋め込まれたCu配線16が残る。

[0027]

図4に、RIE装置の概略図を示す。チャンバ100内に、下部電極101及

び上部電極102が、相互にほぼ平行に配置されている。ガス導入口109からチャンバ100内にエッチングガスが導入され、未反応のエッチングガスや反応生成物が、排気口103を通して排出される。ソース電源106が、インピーダンスマッチング回路107を通して上部電極102に、周波数27MHzの高周波電圧を印加する。バイアス電源104が、インピーダンスマッチング回路105を通して下部電極101に、周波数800kHzの高周波電圧を印加する。下部電極101の上に、処理すべき基板110が保持される。

[0028]

次に、図2に示した配線層絶縁膜11のエッチング条件について説明する。使用したエッチングガスは、環状飽和 C_4F_8 、鎖状不飽和 C_5F_8 、Ar、CO、及び O_2 を含み、それらのガスの流量は、それぞれ6sccm、4sccm、300sccm、100sccm、10sccm 5.3 Pa (40mTorr)、上部電極102に供給されるソースパワーは<math>600W、下部電極101に供給されるバイアスパワーは1400W、下部電極101の温度は20Cである。

[0029]

この条件の下で、SiN膜のエッチング速度に対するFSG膜のエッチング速度の比(選択比)は約20であった。また、狭い溝11Sのエッチング速度は約400nm/分であり、広い溝11Dのエッチング速度は約500nm/分であった。狭い溝11Sの底面にエッチングストッパ膜10を再現性よく露出させるために、20%のオーバエッチングを行った。すなわち、エッチング時間を、狭い溝11Sのエッチング速度で600nm(配線層絶縁膜11の厚さ500nm×1.2)の深さの溝が形成される時間(90秒)とした。

[0030]

狭い溝11Sの底面で、厚さ100nm(600nm-500nm)分のオーバエッチングが行われる。このオーバエッチングにより、狭い溝11Sの底面に露出したエッチングストッパ膜10がエッチングされる深さは5nm(100nm×1/20)である。

[0031]

広い溝11Dのエッチング速度で90秒のエッチングが行われると、エッチング量は750nmになる。配線層絶縁膜11の厚さが500nmであるため、オーバエッチング量は250nmである。SiN膜に対するFSG膜の選択比が20であるため、オーバエッチングにより、広い溝11Dの底面に露出したエッチングストッパ膜10がエッチングされる量は、12.5nmになる。

[0032]

エッチングストッパ膜10の厚さが30ヵmであるため、広い溝11Dの底面にも、十分な厚さのエッチングストッパ膜10を残すことができる。このため、エッチングストッパ膜10の下のプラグ6S及び6Dがエッチングされることを防止することができる。

[0033]

比較のために、 C_5F_8 ガスを添加しないでエッチングを行った。使用したエッチングガスは、環状飽和 C_4F_8 、Ar、CO、及び O_2 を含み、流量はそれぞれ10sccm、200sccm、75sccm、及び6sccmである。チャンバ内圧力は8Pa(60mTorr)、ソースパワーは600W、バイアスパワーは1300W、下部電極温度は $20\mathbb{C}$ である。

[0034]

このエッチング条件の下で、エッチング選択比は8であった。このエッチング 条件で狭い溝11Sを20%オーバエッチングしたとすると、広い溝11Dの底 面のエッチングストッパ膜10が、約31.3nmだけエッチングされることに なる。エッチングストッパ膜10の厚さを30nmとしているため、広い溝11 Dの底面にプラグ6Dが露出し、プラグ6Dの一部がエッチングされてしまう。

[0035]

上述の比較から、エッチングガス中の C_5F_8 ガスが、エッチング選択比を高めていると考えられる。なお、COガスを添加することにより、エッチング選択比を高めることができることが知られているが、COガスの添加のみでは不十分であり、 C_5F_8 ガスを添加することによって、より選択比を高めることができる。また、 O_2 ガスは、エッチングの抜け性を高める作用を有する。Arガスは、イオンアシスト用のガスである。

[0036]

次に、図5を参照して、本発明の第2の実施例による半導体装置の製造方法に ついて説明する。

[0037]

図5 (A) に示すように、配線層絶縁膜11に形成された配線溝内にCu配線16が埋め込まれている。配線層絶縁膜11及びそれよりも下の構造は、図1(C)に示した第1の実施例による方法と同様の方法で形成される。チップの外周線のやや内側に、チップの外周に沿うように耐湿性リング6R及び16Rが形成されている。耐湿性リング6Rは、タングステンプラグ6の形成と同一の工程で形成され、耐湿性リング16Rは、Cu配線16の形成と同一の工程で形成される。

[0038]

配線層絶縁膜11の上に、窒化シリコンからなる厚さ50nmのエッチングストッパ膜20を形成する。エッチングストッパ膜20は、例えばプラズマ励起型CVDで形成され、Cu配線16の拡散防止膜兼酸化防止膜として作用する。エッチングストッパ膜20の上に、FSGからなる厚さ1000nmのビア層絶縁膜21を形成する。ビア層絶縁膜21は、例えばプラズマ励起型CVDで形成される。

[0039]

ビア層絶縁膜21の上に、レジスト膜22を形成する。レジスト膜22に、ビアホール形成のための開口22H、及び耐湿性リング用の溝を形成するための開口22Rを形成する。開口22Hは、Cu配線16と重なるように配置され、開口22Rは、耐湿性リング16Rに沿って配置される。

[0040]

レジスト膜22をマスクとして、ビア層絶縁膜21をエッチングする。詳細なエッチング条件については、後に説明する。開口22Hに対応するビアホール21H、及び開口22Rに対応する溝21Rが形成される。ビアホール21H及び溝21Rの底面に、エッチングストッパ膜20が露出する。

[0041]

図5 (B) に示すように、レジスト膜22をアッシング除去する。このとき、Cu配線16及び耐湿性リング16Rの上面がエッチングストッパ膜20で覆われているため、Cu配線16及び耐湿性リング16Rの酸化を防止することができる。

[0042]

図6 (C) に示すように、ビアホール21H及び溝21Rの内部に、高さが500nm以下になるように有機物30を埋め込む。有機物30は、例えば、感光剤を除去したレジスト材である。ビア層絶縁膜21の上に、ビアホール21H及び溝21Rと重複する開口を有するレジスト膜31を形成する。

[0043]

レジスト膜31をマスクとして、ビア層絶縁膜21のエッチングを行う。エッチングストッパ膜20は、有機物30で保護されているため、エッチングされない。その後、レジスト膜31をアッシング除去する。このとき、有機物30も一緒に除去される。

[0044]

図 6 (D) に示すように、底面にビアホール 21 Hが連なる配線溝 32 が形成 される。また、溝 21 Rの上方の幅が広がる。その後、ビアホール 21 H及び溝 21 Rの底面に露出しているエッチングストッパ膜 20 を、 CHF_3 と O_2 との混合ガスを用いてエッチングする。

[0045]

ビアホール21H及び溝21Rの底面に、それぞれCu配線16及び耐湿性リング16Rが露出する。図3で説明した方法と同様に、バリアメタル層及びシード層の形成、Cu膜の埋め込み、及びCMPを行う。ビアホール21H及び配線溝32の内面にバリアメタル層25が形成され、ビアホール21H及び配線溝32内がCu配線26で埋め込まれる。溝22Rの内面にバリアメタル層25Rが形成され、溝21Rの内部が、Cuからなる耐湿性リング26Rで埋め込まれる

[0046]

このように、デュアルダマシン法により、銅配線層が形成される。同様のデュ アルダマシン工程を繰り返すことにより、多層配線構造を形成することができる

[0047]

次に、図5(A)に示したビア層絶縁膜21のエッチング条件について説明する。使用したエッチングガスは、環状飽和 C_4F_8 、鎖状不飽和 C_5F_8 、Ar、CO、及び O_2 を含み、ガス流量は、それぞれ8sccm、3sccm、320sccm、190sccm、8sccmである。チャンバ100内の圧力は4Pa(30mTorr)、上部電極102に供給されるソースパワーは1750W、下部電極101に供給されるバイアスパワーは1400W、下部電極101の温度は20Cである。

[0048]

この条件の下で、 $SiN膜のエッチング速度に対するFSG膜のエッチング速度の比(選択比)は約25であった。また、直径0.3 <math>\mu$ mのビアホール21Hのエッチング速度は約500nm/分であり、幅0.3 μ mの溝21Rのエッチング速度は約625nm/分であった。ビアホール21Hの底面にエッチングストッパ膜20を再現性よく露出させるために、20%のオーバエッチングを行った。すなわち、エッチング時間を、ビアホール21Hのエッチング速度で1200nm(ビア層絶縁膜21の厚さ1000nm×1.2)の深さの溝が形成される時間(144秒)とした。

[0049]

ビアホール21 Hの底面で、厚さ200nm(1200nm-1000nm) 分のオーバエッチングが行われる。このオーバエッチングにより、ビアホール21 Hの底面に露出したエッチングストッパ膜20がエッチングされる深さは8nm(200nm×1/25)である。

[0050]

溝21Rのエッチング速度で144秒のエッチングが行われると、エッチング 量は1500nmになる。配線層絶縁膜11の厚さが1000nmであるため、 溝21Rのオーバエッチング量は500nmになる。SiN膜に対するFSG膜

のエッチング選択比が25であるため、オーバエッチングにより、溝21Rの底面に露出したエッチングストッパ膜20がエッチングされる量は、20nm(50nm×1/25)になる。

[0051]

エッチングストッパ膜10の厚さが50nmであるため、溝21Rの底面にも、十分な厚さのエッチングストッパ膜20を残すことができる。このため、エッチングストッパ膜20の下のCu配線16及び耐湿性リング16Rの露出を防止することができる。

[0052]

比較のために、 C_5F_8 ガスを添加しないでFSG膜のエッチングを行った。使用したエッチングガスは、環状飽和 C_4F_8 、Ar、CO、及び O_2 を含み、流量はそれぞれ1Osccm、2OOsccm、15Osccm、及び6sccmである。チャンバ内圧力は4Pa(3OmTorr)、ソースパワーは2OOW、バイアスパワーは14OOW、下部電極温度は2OCである。

[0053]

このエッチング条件の下で、エッチング選択比は10であった。このエッチング条件でビアホール21Hを20%オーバエッチングしたとすると、溝21Rの底面のエッチングストッパ膜20が、約50nmだけエッチングされることになる。エッチングストッパ膜20の厚さが50nmであるため、溝21Rの底面に耐湿性リング16Rが露出してしまう。このため、図5(A)に示したレジスト膜22のアッシング時に、耐湿性リング16Rが酸化されてしまう。

[0054]

耐湿性リング16Rの露出を防止するために、エッチングストッパ膜20を厚くすることも考えられる。ところが、SiNからなるエッチングストッパ膜20は、FSGからなるビア層絶縁膜21よりも、誘電率が高い。このため、エッチングストッパ膜20を厚くすることは、配線間の寄生容量を増加させることになり、好ましくない。上記実施例のように、環状飽和 C_4F_8 ガスに、鎖状不飽和 C_5F_8 ガスを添加することにより、エッチング選択比が高くなるため、エッチングストッパ膜を薄くすることが可能になる。

[0055]

次に、図7を参照して、鎖状不飽和 C_5F_8 ガスの含有量の好適値について説明する。

[0056]

図7の横軸は、 C_4F_8 ガスの分圧と C_5F_8 ガスの分圧との和に対する C_5F_8 ガスの分圧の比(C_5F_8 の分圧比と呼ぶ)を、単位「%」で表し、縦軸は、FSG膜のエッチング速度を単位「 μ m/分」で表す。 C_5F_8 ガスの分圧比を大きくするに従って、エッチング速度が低下している。エッチング速度が低下するに従って、エッチング選択比は高くなる。

[0057]

ところが、 C_5F_8 の分圧比を50%よりも大きくすると、図7のグラフ中に示したように、形成されたビアホールの底部に反応生成物が残ってしまう。 C_5F_8 の分圧比が大きくなるほど、反応生成物の残渣も多くなった。ビアホールの底部に反応性生物が残ると、それ以上エッチングが進まなくなってしまう。 C_5F_8 ガスの分圧比を0.5以下にすると、反応性生物の残渣は生じなかった。反応生成物の残渣の発生を防止するために、 C_5F_8 ガスの分圧比を0.5以下とすることが好ましい。

[0058]

上記実施例では、SiN膜をエッチングストッパ膜として、その上のFSG膜をエッチングする場合を示したが、その他、Siを含有する絶縁膜(ただし、Si N膜及びSiON膜以外)をエッチングする際にも、高いエッチング選択比が得られるであろう。このような絶縁膜の材料として、例えば、酸化シリコン(SiO_2)、フォスフォシリケートガラス(PSG)、ボロシリケートガラス(PSG)、ボロフォスフォシリケートガラス(PSG)、ボロフォスフォシリケートガラス(PSG)、水素シルセスキオキサン、テトラエチルオルソシリケート(TEOS)、炭素含有酸化シリコン(SiOC)、スピンオンガラス(SOG)等が挙げられる。

[0059]

上記実施例では、エッチングガスとして、環状飽和 ${
m C_4F_8}$ ガスに鎖状不飽和 ${
m C_5F_8}$ ガスを添加したものを使用したが、同種の他のフロロカーボンガスを用いて

もよい。例えば、環状飽和 C_4F_8 ガスの代わりに、鎖状不飽和 C_4F_8 ガスを用いてもよい。鎖状不飽和 C_5F_8 ガスの代わりに、一般式 C_xF_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2 x - 1)$ を満たす)で表されるフロロカーボンガスを用いてもよい。

[0060]

また、鎖状不飽和 C_5F_8 ガスの代わりに、 C_4F_6 ガスを用いてもよい。 C_4F_6 ガスは、C/F比が 0. 6 6 7 であり、 C_5F_8 ガスのC/F比0. 6 2 5 に比べて大きく、気相重合し易い傾向を持つ。ただし、その差は小さいため、 C_4F_8 ガスへの C_4F_6 ガスの好ましい添加量が、 C_5F_8 の好ましい添加量から若干ずれると思われるが、ほぼ同量の添加量で同様の効果が得られるであろう。

[0061]

上記実施例で採用されたエッチング方法は、上記実施例以外の種々の構造の半導体装置の製造に適用することができる。例えば、ソース領域、ゲート電極、及びドレイン領域上に、同一のエッチング工程でビアホールを形成する工程に適用可能であろう。また、ゲート電極の上面と側面とをエッチングストッパ膜で覆い、ソース領域及びドレイン領域に、自己整合的にビアホールを形成する工程にも適用可能であろう。さらに、シングルダマシン法でビアホールと配線溝とを形成する工程にも適用可能であろう。

[0062]

図8 (A) に第3の実施例による半導体装置の製造方法により、絶縁膜にビアホールを形成したときのビアホール部分の断面図を示す。下地の層間絶縁膜50の表層部に銅配線51が埋め込まれている。銅配線51及び層間絶縁膜50の表面を、SiNまたはSiCからなるエッチングストッパ膜52が覆う。エッチングストッパ膜52の上に、図1に示した第1の実施例の配線層絶縁膜11と同一材料で形成された絶縁膜53を成膜する。絶縁膜53にビアホール53aを形成する。ビアホール53aの形成は、図5(A)に示した第2の実施例のビアホール21Hの形成と同様の方法で行われる。

[0063]

銅配線51の上面は、通常、CMPの特性により、窪んでいる。この窪みの上

に、エッチングストッパ膜52がコンフォーマルに成膜される。アライメント時の位置ずれにより、ビアホール53aが銅配線51の縁に掛かると、ビアホール53aの底面に、エッチングストッパ膜52の凸部52aが露出する。このように、エッチングストッパ膜52の凸部52aが露出すると、通常エッチング選択比が低下してしまう。

[0064]

本実施例による方法でビアホール53aを形成すると、高いエッチング選択比が得られるため、図8(A)のように、位置ずれが生じた場合にも、安定してエッチングを停止させることができる。

[0065]

図8 (B) に、第4の実施例による半導体装置の製造方法により、絶縁膜に配線溝を形成したときの配線溝部分の断面図を示す。下地の層間絶縁膜60の表層部に、銅またはタングステンからなるプラグ61が配置されている。プラグ61及び層間絶縁膜60の上に、SiNまたはSiCからなるエッチングストッパ膜62を形成する。エッチングストッパ膜62の上に、図1に示した第1の実施例の配線層絶縁膜11と同一材料で形成された絶縁膜63を成膜する。絶縁膜63に配線溝63aを形成する。配線溝63aの形成は、図2に示した第1の実施例の配線溝11S形成と同様の方法で行われる。

[0066]

プラグ61の上面は、一般的に凸状になりやすい。このため、プラグ61と層間絶縁膜60との境界に、凹部62aが形成されやすい。本実施例による方法で配線溝63aを形成すると、高いエッチング選択比が得られるため、図8(B)のように、凹部62aが形成されている場合にも、安定してエッチングを停止させることができる。

[0067]

上記実施例では、平行平板型の電極で容量結合プラズマを発生させるRIE装置を用いたが、その他のドライエッチング装置を用いてもよい。例えば、誘導結合プラズマ(ICP)を発生させるエッチング装置、電子サイクロトロン共鳴(ECR)によりプラズマを発生させるエッチング装置等を用いることもできる。

[0068]

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

[0069]

上記実施例から、以下の付記に示された発明が導出される。

(付記1) シリコンを含有する絶縁材料からなる絶縁膜の表面を、マスクパターンで覆う工程と、

前記マスクパターンをマスクとし、 C_4F_8 ガスと C_xF_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)ガスとを含むエッチングガスを用いて、前記絶縁膜をドライエッチングする工程と

を有する半導体装置の製造方法。

(付記 2) 前記 C_4F_8 ガスが、環状飽和フロロカーボンガスである付記 1 に記載の半導体装置の製造方法。

(付記3) 前記 C_xF_y ガスが C_5F_8 ガスであり、前記 C_4F_8 ガスの分圧を P_1 、前記 C_5F_8 ガスの分圧を P_2 としたとき、 $0 < P_2/(P_1 + P_2) \le 0$. 5 を満たす条件で前記ドライエッチングを行う付記 1 または 2 に記載の半導体装置の製造方法。

(付記4) 前記絶縁膜が、酸化シリコン、フォスフォシリケートガラス、ボロシリケートガラス、ボロフォスフォシリケートガラス、フロロシリケートガラス、水素シルセスキオキサン、テトラエチルオルソシリケート、炭素含有酸化シリコン、スピンオンガラスからなる群より選択された少なくとも一つの絶縁材料で形成されている付記1万至3のいずれかに記載の半導体装置の製造方法。

(付記5) 前記エッチングガスが、さらにアルゴン、酸素、一酸化炭素からなる群より選択された少なくとも一つのガスを含む付記1乃至4のいずれかに記載の半導体装置の製造方法。

(付記6) 前記絶縁膜を形成する工程の前に、さらに、前記半導体基板の表面上に、前記エッチングガスでドライエッチングしたときのエッチング速度が、同一条件でエッチングしたときの前記絶縁膜のエッチング速度よりも小さな材料で

形成されたエッチングストッパ膜を形成する工程を含み、前記絶縁膜を前記エッチングストッパ膜の上に形成する付記1乃至5のいずれかに記載の半導体装置の 製造方法。

(付記7) 表面に金属配線の上面が露出した半導体基板を準備する工程と、

前記半導体基板の表面上に、第1の絶縁材料からなるエッチングストッパ膜を 形成する工程と、

前記エッチングストッパ膜の上に、該エッチングストッパ膜とはエッチング耐性が異なり、Siを含有する第2の絶縁材料で形成された絶縁膜を堆積する工程と、

前記絶縁膜の表面を、前記金属配線と重なる位置に開口を有するレジストパターンで覆う工程と、

前記レジストパターンをマスクとし、エッチングガスとして、 C_4F_8 及び C_x F_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)を含むエッチングガスを用い、前記絶縁膜をドライエッチングして凹部を形成し、該凹部の底に前記エッチングストッパ膜を露出させる工程と、

前記金属配線が前記エッチングストッパ膜で覆われた状態で、前記レジストパターンを除去する工程と、

前記ドライエッチング工程で露出した前記エッチングストッパ膜を除去し、前記金属配線の一部を露出させる工程と、

前記ドライエッチング工程でエッチングされた凹部内に、導電材料を埋め込み 、前記金属配線に接続された導電部材を形成する工程と

を有し、前記エッチングガスでエッチングしたときの、前記第1の絶縁材料のエッチング速度が、前記第2の絶縁材料のエッチング速度よりも遅い半導体装置の 製造方法。

(付記 8) 前記 C_4F_8 ガスが、環状飽和フロロカーボンガスである付記 7 に記載の半導体装置の製造方法。

(付記 9) 前記 $C_x F_y$ ガスが $C_5 F_8$ ガスであり、前記 $C_4 F_8$ ガスの分圧を P_1 、前記 $C_5 F_8$ ガスの分圧を P_2 としたとき、 $0 < P_2$ / $(P_1 + P_2) \le 0$. 5 を満たす条件で前記 ドライエッチングを行う付記 7 または 8 に記載の半導体装置の製

造方法。

(付記10) 前記絶縁膜が、酸化シリコン、フォスフォシリケートガラス、ボロシリケートガラス、ボロフォスフォシリケートガラス、フロロシリケートガラス、水素シルセスキオキサン、テトラエチルオルソシリケート、炭素含有酸化シリコン、スピンオンガラスからなる群より選択された少なくとも一つの絶縁材料で形成されている付記7万至10のいずれかに記載の半導体装置の製造方法。

(付記11) 表層部の一部に銅配線、銅プラグまたはタングステンプラグが配置された下地層の上に、SiNまたはSiCからなる第1の膜を形成する工程と

前記第1の膜の上に、絶縁材料からなる絶縁膜を形成する工程と、

前記第2の膜をマスクパターンで覆う工程と、

前記マスクパターンをマスクとし、 C_4F_8 ガスと C_xF_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)ガスとを含むエッチングガスを用いて、前記第2の膜をドライエッチングする工程と

を有する半導体装置の製造方法。

(付記12) 前記 C_4F_8 ガスが、環状飽和フロロカーボンガスである付記11 に記載の半導体装置の製造方法。

(付記13) 前記 C_xF_y ガスが C_5F_8 ガスであり、前記 C_4F_8 ガスの分圧を P_1 、前記 C_5F_8 ガスの分圧を P_2 としたとき、0く P_2 / $(P_1+P_2) \le 0$. 5 を 満たす条件で前記ドライエッチングを行う付記 1 1 または 1 2 に記載の半導体装置の製造方法。

(付記14) 前記絶縁膜が、酸化シリコン、フォスフォシリケートガラス、ボロシリケートガラス、ボロフォスフォシリケートガラス、フロロシリケートガラス、水素シルセスキオキサン、テトラエチルオルソシリケート、炭素含有酸化シリコン、スピンオンガラスからなる群より選択された少なくとも一つの絶縁材料で形成されている付記11万至13のいずれかに記載の半導体装置の製造方法。

(付記15) 前記エッチングガスが、さらにアルゴン、酸素、一酸化炭素からなる群より選択された少なくとも一つのガスを含む付記11万至14のいずれかに記載の半導体装置の製造方法。

[0070]

【発明の効果】

以上説明したように、本発明によれば、 C_4F_8 ガスに $C \times F y$ (\times 及びy は整数であり、 $x \ge 5$ 、 $y \le (2 \times -1)$ を満たす)で表されるフロロカーボンガスを添加したエッチングガスを用いることにより、S i を含有する絶縁膜を、エッチングストッパ膜に対して高い選択比でエッチングすることができる。

【図面の簡単な説明】

- 【図1】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図(その1)である。
- 【図2】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図(その2)である。
- 【図3】 本発明の第1の実施例による半導体装置の製造方法を説明するための断面図(その3)である。
 - 【図4】 本発明の実施例で用いたRIE装置の概略図である。
- 【図5】 本発明の第2の実施例による半導体装置の製造方法を説明するための部分破談斜視図(その1)である。
- 【図6】 本発明の第2の実施例による半導体装置の製造方法を説明するための部分破談斜視図(その2)である。
- 【図7】 C_5F_8 ガスの含有量と、エッチング速度との関係を示すグラフである。
- 【図8】 本発明の第3及び第4の実施例による半導体装置の製造方法を説明するための断面図である。

【符号の説明】

- 1 シリコン基板
- 2 素子分離絶縁領域
- 3 MOSFET
- 5 層間絶縁膜
- 6、6S、6D プラグ
- 6R、16R、26R 耐湿性リング

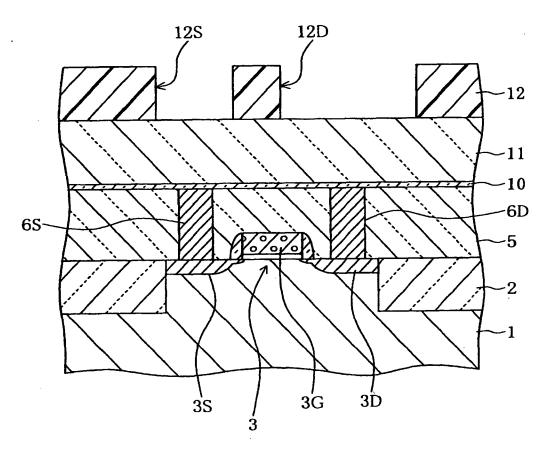
- 10、20 エッチングストッパ膜
- 11 配線層絶縁膜
- 11S、11D、32 配線溝
- 12、22、31 レジスト膜
- 12S、12D、22H、22R 開口
- 15、25、25R バリアメタル層
- 16、26 Cu配線
- 21 ビア層絶縁膜
- 21H ビアホール
- 21R 溝
- 30 有機物
- 50、60 下地の層間絶縁膜
- 5 1 銅配線
- 52、62 エッチングストッパ膜
- 53、63 絶縁膜
- 61 プラグ
- 100 チャンバ
- 101 下部電極
- 102 上部電極
- 103 排気口
- 104 バイアス電源
- 105、107 インピーダンスマッチング回路
- 106 ソース電源
- 109 ガス導入口
- 110 基板

【書類名】

図面

【図1】

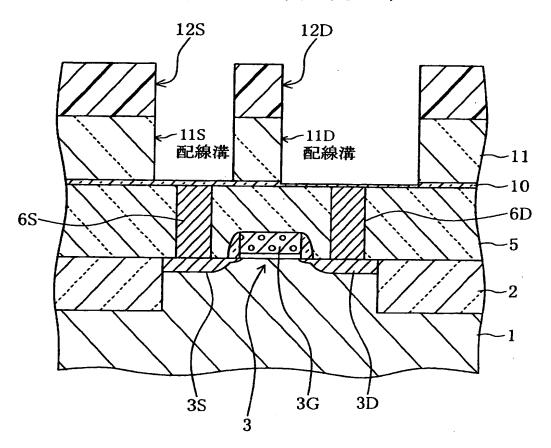
第1の実施例 (その1)



- 1:シリコン基板
- 2:素子分離絶縁領域
- 3:MOSFET
- 5:層間絶縁膜
- 6D,6S:プラグ
 - 10:エッチングストッパ膜
 - 11:配線層絶縁膜
 - 12:レジスト膜
- 12D,12S:開口

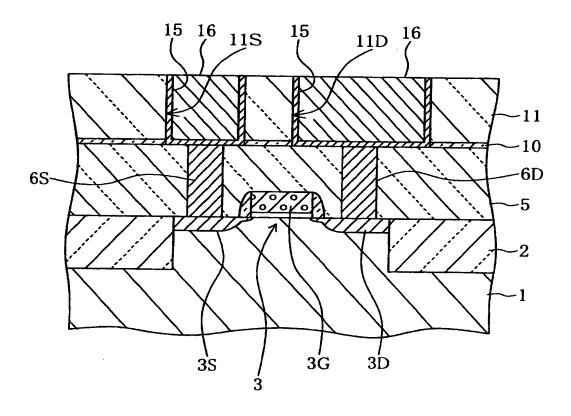
【図2】

第1の実施例 (その2)



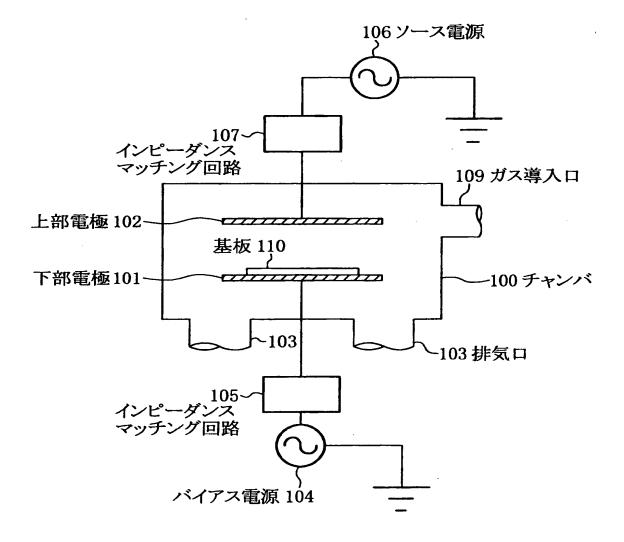
【図3】

第1の実施例 (その3)



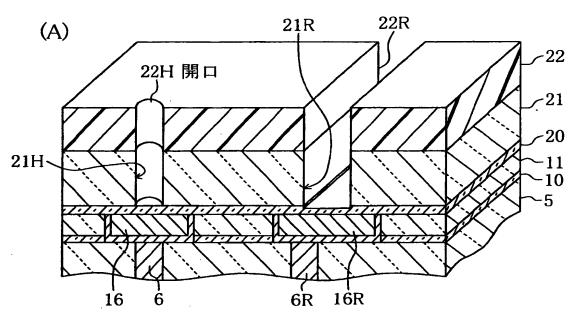
【図4】

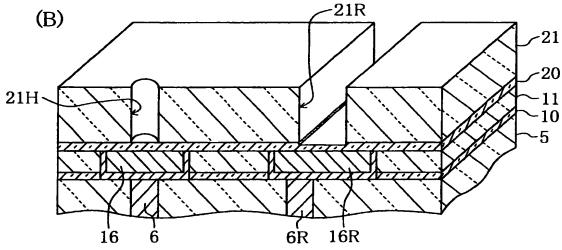
RIE装置



【図5】

第2の実施例 (その1)





20: エッチングストッパ膜

21:ビア層絶縁膜

21H: ビアホール

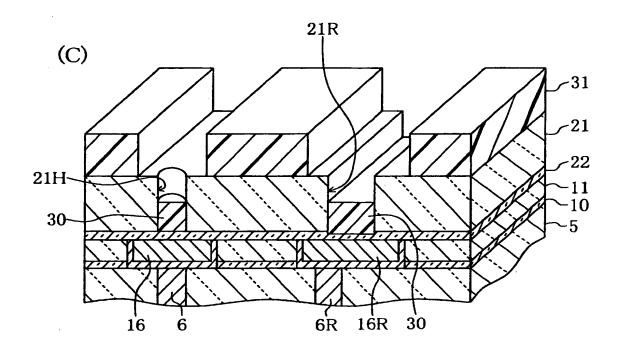
21R: 溝

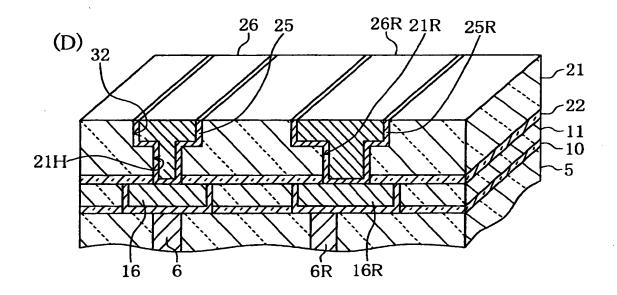
22: レジスト膜

22H,22R: 開口

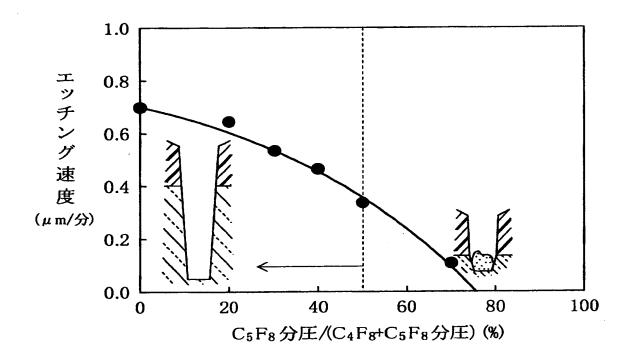
【図6】

第2の実施例 (その2)



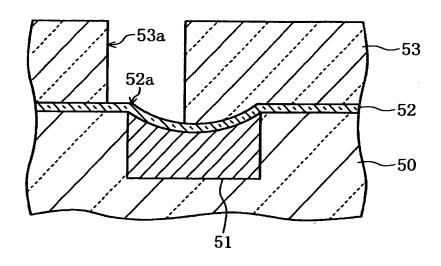


【図7】

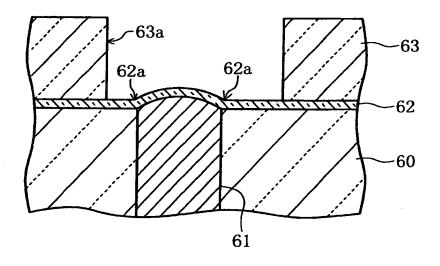


【図8】

(A) 第3の実施例



(B) 第4の実施例



【書類名】

要約書

【要約】

【課題】 ドライエッチング工程において、エッチングすべき層と、その下のエッチングストッパ膜との十分な選択比を確保することが可能なエッチング技術を用いて半導体装置を製造する方法を提供する。

【解決手段】 シリコンを含有する絶縁材料からなる絶縁膜の表面を、マスクパターンで覆う。マスクパターンをマスクとし、 C_4F_8 ガスと C_xF_y (x及びyは整数であり、 $x \ge 5$ 、 $y \le (2x-1)$ を満たす)ガスとを含むエッチングガスを用いて、絶縁膜をドライエッチングする。

【選択図】 図2

出願人履歴情報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社



出願人履歴情報

識別番号

[000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社